

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

## ⑫ 公開特許公報(A) 平4-38791

⑤ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月7日

G 11 C 11/407  
H 01 L 27/04  
27/108

D 7514-4M

8526-5L G 11 C 11/34 3 5 4 F  
8624-4M H 01 L 27/10 3 2 5 V

審査請求 未請求 請求項の数 4 (全 13 頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 平2-146542

⑯ 出 願 平 2 (1990) 6 月 4 日

⑰ 発 明 者 柴 山 晃 徳 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
 ⑰ 発 明 者 山 田 俊 郎 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
 ⑰ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地  
 ⑰ 代 理 人 弁理士 前 田 弘

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

(1) 基板電位を発生する基板電位発生器と、少なくともDRAMの動作電圧内で外部電源電圧の依存性の少ない内部電圧を発生させる内部電圧発生器と、該内部電圧発生器により発生させた内部電圧と実際の基板電位とに基づいて前記基板電位発生器により発生した基板電位が設定電位の上か下かを検出する基板電位検出器とを備えたことを特徴とする半導体装置。

(2) 内部電圧発生器は、内部素子動作電圧発生のために用いる内部降圧器であることを特徴とする請求項(1)記載の半導体装置。

(3) 内部降圧器は、基準電圧発生器と、該基準電圧発生器により発生させた基準電圧に基づいて内部電圧を発生させる供給器よりなることを特徴とする請求項(2)記載の半導体装置。

(4) 内部電圧発生器は、ゲート、ドレイン間を

短絡した第1、第2のMOSトランジスタと第3のMOSトランジスタとの直列接続からなる第1の直列体と、第4のMOSトランジスタとゲート、ドレイン間を短絡した第5のMOSトランジスタとの直列接続からなる第2の直列体とを、電源電圧と接地電位間に各々並列に接続し、前記第2のMOSトランジスタのゲートと前記第4のMOSトランジスタのゲートとの間、及び前記第3のMOSトランジスタのゲートと前記第4のMOSトランジスタのドレインとの間を各々短絡し、かつ前記第3のMOSトランジスタ又は前記第4のMOSトランジスタのソース、ドレイン間に、ゲート、ドレイン間を短絡した第6のMOSトランジスタを接続した構成よりなることを特徴とする請求項(1)記載の半導体装置。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置に関し、特に半導体集積回路の基板電位を発生する基板電位発生器について、

その発生する基板電位を設定電位に保つための基板電位検出回路の改良に関するものである。

(従来技術)

従来の基板電位検出器を第4図に示す。同図において、 $Qp47$ 、 $Qn46$ 、 $Qn47$ はMOSトランジスタ、45は外部電源電圧 $V_{cc}$ 、46は接地電位 $V_{ss}$ である。また、41は接点、44は基板電位であり、43は基板電位検出信号の出力端子である。ゲートを接地電位 $V_{ss}46$ に接続したMOSトランジスタ $Qp47$ 及び $Qn46$ と、ゲート、ドレイン間を短絡したMOSトランジスタ $Qn47$ との3個を直列に接続し、その3個のMOSトランジスタのダイオードを外部電源電圧 $V_{cc}45$ と基板電位44との間に直列に接続した構成になっている。

上記の構成の基板電位検出器の動作について説明する。まず、MOSトランジスタ $Qp47$ はゲート電位が接地電位 $V_{ss}46$ であり、ソース電位が外部電源電圧 $V_{cc}45$ であって、そのゲート、ソース間電圧はそのスレッショールド電圧

- 3 -

スレッショールド電圧より低い電圧又はスレッショールド電圧より僅かに高い電圧に留まるので、該MOSトランジスタ $Qn46$ はoff状態又は微小な電流しか流せない。このため、出力端子43の基板電位検出信号は、MOSトランジスタ $Qp47$ のドレイン電流 $I_{dp47}$ によって基板電位発生器1を動作させるに十分な高い電位となる。

従って、基板電位44が上記の設定電位未満に低下したときには、出力端子43から出力される低電位の基板電位検出信号により基板電位発生器1の動作を停止させる一方、基板電位44が設定電位以上に上昇したときには、出力端子43の高電位の基板電位検出信号により基板電位発生器1を動作させることによって基板電位44を設定電位に保つことができる。

(発明が解決しようとする課題)

しかしながら、上記のような従来の構成では、外部電源電位 $V_{cc}45$ の変動によって基板電位44を設定電位に保持できないことが判った。つ

- 5 -

より低い電圧であるので、該トランジスタ $Qp47$ はドレイン電流 $I_{dp47}$ が流れている。

今、基板電位44が接地電位 $V_{ss}46$ より低い設定電位未満に引き下げられたとすると、トランジスタ $Qn47$ はon状態になると共に、このon状態により接点41の電位(つまりトランジスタ $Qn46$ のソース電位)がMOSトランジスタ $Qn46$ のスレッショールド電圧より高い電圧以上引き下げられるので、このトランジスタ $Qn46$ もon状態になる。その結果、3個のトランジスタのon状態によりMOSトランジスタ $Qp47$ 及び $Qn46$ のドレイン電位、つまり出力端子43の基板電位検出信号は基板電位発生器1の動作を停止させるのに十分な低い値の電位となる。

これに対し、基板電位44が上記の設定電位以上に高い電位に浮き上がったときには、MOSトランジスタ $Qn47$ によって接点41の電位を引き下げる程度が小さくなるために、MOSトランジスタ $Qn46$ のゲート、ソース間の電圧はその

- 4 -

まり、外部電源電位 $V_{cc}45$ が上昇したときには、MOSトランジスタ $Qp47$ のゲート電位が一定電位(接地電位 $V_{ss}46$ )なのでMOSトランジスタ $Qp47$ のゲート、ソース間電圧が増大し、そのドレイン電流 $I_{dp47}$ が増加する。このため、基板電位44が設定電位未満に引き下げられても、前記MOSトランジスタ $Qp47$ のドレイン電位である出力端子43の基板電位検出信号の電位が上昇したままになって、基板電位発生器1の動作を停止させるまで低下しなくなるので、基板電位44が設定電位以下に大きく低下し過ぎるという誤動作が生じる。また、前記とは逆に外部電源電位 $V_{cc}$ が低下したときには、MOSトランジスタ $Qp47$ のゲート、ソース間電圧が低下してそのドレイン電流 $I_{dp47}$ が減少するため、基板電位44が設定電圧以下に引き下げられる前に、MOSトランジスタ $Qp47$ のドレイン電位である出力端子43の基板電位検出信号の電位が大きく低下してしまうので、基板電位44が設定電位以上の良好でない状態でも基板電位

- 6 -

発生器 1 の動作が停止してしまうという誤動作を引き起こす恐れがあるという問題点を有していた。

本発明は斯かる点に鑑みてなされたものであり、その目的は、外部電源電圧の変動があっても、基板電位発生器から発生する基板電位を良好に設定電位に保持できる半導体装置を提供することにある。

(課題を解決するための手段)

前記の目的を達成するため、本発明では、外部電源電圧  $V_{cc}$  の依存性の小さい内部電圧を内部回路で発生させ、この内部電圧と実際の基板電位とに基づいて基板電位検出信号を発生させることにより、この基板電位検出信号を外部電源電圧  $V_{cc}$  に対する依存性の小さいものとして、この基板電位検出信号で基板電位検出器の動作を制御することとする。

つまり、本発明の具体的な解決手段は、半導体装置として、基板電位を発生する基板電位発生器と、少なくとも DRAM の動作電圧内で外部電源電圧の依存性の少ない内部電圧を発生させる内部

電圧発生器と、該内部電圧発生器により発生させた内部電圧と実際の基板電位とに基づいて前記基板電位発生器により発生した基板電位が設定電位の上か下かを検出する基板電位検出器とを設ける構成としている。

(作用)

本発明は前記した構成により、内部電圧発生器からは外部電源電圧の依存性が少ない内部電圧が発生し、この内部電圧と実際の基板電位とに基づいて基板電位検出器が作動する。その結果、外部電源電圧が変動しても、実際の基板電位が設定電位未満のときには、基板電位検出器から必ず低電位の基板電位検出信号が出力され、逆に実際の基板電位が設定電位以上のときには、必ず高電位の基板電位検出信号が出力されるので、この外部電源電圧に対する依存性の小さい基板電位検出信号によって基板電位発生器の動作が制御されると、基板電位が設定電位未満のときには必ず電位発生器の動作が停止して、外部電源電圧  $V_{cc}$  の変動に拘らず基板電位が設定電位に保持されることにな

- 7 -

- 8 -

る。

(実施例)

以下、本発明の実施例について図面を参照しながら説明する。

第 1 図は本発明の第 1 の実施例における半導体装置のブロック回路図である。同図において、 $Q_{p11} \sim Q_{p17}$  は P 形の MOS トランジスタ、 $Q_{n11} \sim Q_{n17}$  は N 形の MOS トランジスタ、15 は外部電源電圧  $V_{cc}$ 、16 は接地電位  $V_{ss}$ 、11 は内部電圧、12 は基準電圧、13 は基板電位検出信号、14 は基板電位、111、112、121、122、131 は接点である。

また、2 は外部電源電圧  $V_{cc}$  15 の依存性の少ない内部電圧 11 を発生させるための内部電圧発生器であって、この内部電圧発生器 2 は、内部素子を動作させる電圧を発生するために用いる内部降圧器より成る。この内部降圧器 2 は基準電圧発生器 3 と供給器 4 とから構成されている。先ず、基準電圧発生器 3 の動作について説明するに、該基準電圧発生器 3 は、2 個のトランジスタ  $Q_{p1}$

1 と  $Q_{n11}$ 、及び 2 個のトランジスタ  $Q_{p12}$  と  $Q_{n12}$  とが各々直列に接続されており、この両者は外部電源電圧  $V_{cc}$  15 に対して互いに並列に接続されているとともに、MOS トランジスタ  $Q_{p12}$  のソース、ドレイン間にはトランジスタ  $Q_{p13}$  のダイオードが接続された構成になっている。

前記トランジスタ  $Q_{p11} \sim Q_{p13}$  及びトランジスタ  $Q_{n11} \sim Q_{n12}$  は全て飽和領域で動作させる。

この基準電圧発生器 3 では、基準電位 12、つまり接点 112 の電位が外部電源電圧  $V_{cc}$  15 に対して依存性が小さいように構成されている。以下、この構成を具体的に説明する。接点 112 の電位をほぼ一定とすると、トランジスタ  $Q_{n11}$  はそのゲート電位が前記の接点 112 の電位で一定電位であるので飽和領域で動作し、且つそのソース電位が接地電位  $V_{ss}$  16 であってそのゲート、ソース間電圧がほぼ一定であるために、そのドレイン電流  $I_{dn11}$  はほぼ一定である。ま

- 10 -

- 9 -

た、トランジスタ $Q_{p11}$ と $Q_{n11}$ との両ドレイン電流 $I_{dp11}$ 、 $I_{dn11}$ が相等しいときのトランジスタ $Q_{p11}$ のドレイン電位及びゲート電位が定常状態における接点111の電位である。従って、定常状態におけるトランジスタ $Q_{p11}$ のドレイン電流 $I_{dp11}$ はほぼ一定である。一方、このトランジスタ $Q_{p11}$ のドレイン電流 $I_{dp11}$ は、その飽和領域での動作によりそのゲート、ソース間電圧でほぼ決定されるので、このドレイン電流 $I_{dp11}$ が前記のようにほぼ一定であると、そのゲート、ソース間電圧もほぼ一定である。以上のことから、トランジスタ $Q_{p11}$ のゲート、ソース間電圧である接点111と外部電源電圧 $V_{cc15}$ との間の電位差はほぼ一定である。

また、トランジスタ $Q_{p12}$ のゲート、ソース間電圧は、前記のように接点111と外部電源電圧 $V_{cc15}$ との間の電位差であってほぼ一定であるので、このトランジスタ $Q_{p12}$ のドレイン電流 $I_{dp12}$ はその飽和領域での動作によりほ

— 11 —

接点112の電位は接地電位 $V_{ss16}$ よりも所定電位だけ高い一定電位の基準電位になることが判る。

本発明の半導体装置では、外部電源電圧 $V_{cc15}$ の依存性の少ない電圧として、基準電位12、つまり接地電位 $V_{ss16}$ よりも一定電位だけ高い電位である接点112の電位を用いる。

次に、供給器4の動作について説明する。この供給器4は、2個のp型のMOSトランジスタ $Q_{p14}$ 、 $Q_{p15}$ と、3個のn型のMOSトランジスタ $Q_{n13} \sim Q_{n15}$ とにより構成される差動増幅器5と、1個のp型MOSトランジスタ $Q_{p16}$ より構成される出力回路部6とから成っている。

前記差動増幅器5から説明すると、2個のMOSトランジスタ $Q_{p14}$ 、 $Q_{p15}$ は、互いにソース、ドレインをそれぞれ共通の電位とした構成になっている。従って、この両トランジスタ $Q_{p14}$ 、 $Q_{p15}$ のドレイン電流 $I_{dp14}$ 、 $I_{dp15}$ は互いに等しくカレントミラーになってい

— 13 —

ほぼ一定である。更に、トランジスタ $Q_{p12}$ と $Q_{n12}$ の両ドレイン電流 $I_{dp12}$ 、 $I_{dn12}$ が互いに等しいときのトランジスタ $Q_{n12}$ のドレイン電位及びゲート電位が定常状態における接点112の電位（つまり基準電位12）である。従って、定常状態におけるトランジスタ $Q_{n12}$ のドレイン電流 $I_{dn12}$ はほぼ一定である。一方、このトランジスタ $Q_{n12}$ のドレイン電流 $I_{dn12}$ は、その飽和領域での動作によりそのゲート、ソース間電圧でほぼ決定されるので、このドレイン電流 $I_{dn12}$ が前記のようにほぼ一定であると、そのゲート、ソース間電圧もほぼ一定である。以上のことから、このトランジスタ $Q_{n12}$ のゲート、ソース間電圧である接点112と接地電位 $V_{ss16}$ との間の電位差はほぼ一定である。

以上説明したように、基準電圧発生器3は前記のような構成のフィードバック回路になっているので、接点111の電位は外部電源電圧 $V_{cc15}$ よりも所定電位だけ低い一定電圧になると共に、

— 12 —

る。また、MOSトランジスタ $Q_{n13}$ のゲート電位は、前記した外部電源電圧 $V_{cc15}$ に対して依存性の少ない基準電位12になっており、一方、MOSトランジスタ $Q_{n14}$ のゲート電位は、内部素子を動作させるための内部電圧11になっている。この内部電圧11は、少なくともDRAMの動作電圧内の電圧値に設定される。そして、基準電圧12と内部電圧11との比較により、接点121の電位、つまりMOSトランジスタ $Q_{p16}$ のゲート電位を変化させる構成として、出力回路部6からの出力電流を制御する回路方式となっている。

前記の供給器4の動作について、基準電圧12と内部電圧11とが等しいときと比較して説明する。先ず、内部電圧11（MOSトランジスタ $Q_{n14}$ のゲート電位）が基準電圧12（MOSトランジスタ $Q_{n13}$ のゲート電位）よりも低い場合には、MOSトランジスタ $Q_{n14}$ のドレイン電流 $I_{dn14}$ が減少するので、MOSトランジスタ $Q_{p15}$ のドレイン電位及び接点122の電

— 14 —

位（つまり、MOSトランジスタQp14、Qp15のゲート電位）が上昇する。このため、MOSトランジスタQp14のゲート、ソース間電圧が降下し、そのドレイン電流Idp14が減少するので、MOSトランジスタQp14及びMOSトランジスタQn13のドレイン電位、つまり接点121の電位が降下する。その結果、この接点121の電位であるMOSトランジスタQp16のゲート電位の降下により、そのゲート、ソース間電圧が増大し、そのドレイン電流Idn16が増加することになる。

これに対し、内部電圧11が基準電圧12よりも高い場合には、前記とは逆にMOSトランジスタQn14のドレイン電流Idn14が増加して、接点122の電位が降下するので、MOSトランジスタQp14のゲート、ソース間電圧が増大し、そのドレイン電流Idp14が増加する。そのため、接点121の電位が上昇するので、MOSトランジスタQp16のゲート、ソース間電圧が減少し、そのドレイン電流Idn16が減少する。

— 15 —

外部電源電圧を降圧した内部電圧で行う方式を採用することが望ましいからである。

さらに、第1図において、8は基板電位14を発生する基板電位発生器、9は前記の基板電位発生器8により発生する基板電位14が設定電位か否かを検出する基板電位検出器である。

前記の基板電位検出器9は、p型MOSトランジスタQp17と、n型MOSトランジスタQn16と、ゲート、ドレイン間を短絡したn型MOSトランジスタQn17との3個を直列に接続して成り、トランジスタQp17、Qn16の両ゲートは接地電位Vss16に接続されていると共に、トランジスタQp17のソース電位は前記供給器4の出力回路部6からの外部電源電圧Vcc15に対する依存性の小さい内部電圧11とされ、トランジスタQn17のソース電位は基板電位14とされている。

前記の基板電位検出器9の動作について説明する。まず、MOSトランジスタQp17は、前述のようにゲート電位が接地電位Vss16であり、

— 17 —

特に、内部電圧11が予め設定した設定電圧に達したときには、接点121の電位がMOSトランジスタQp16をoff動作させるまで上昇し、その設定電圧を越える上昇を阻止するので、内部電圧11をその設定電圧に保つことができる。

ここに、供給器4は、前記のような外部電源電圧Vcc15の依存性の小さい基準電圧12と比較して内部電圧11を発生しているので、この内部電圧11を外部電源電圧Vcc15の変動に対して依存性の小さい所定の設定電圧に保つことができる。

そして、前記の内部降圧器2の供給器4にて内部降圧した内部電圧11によって内部素子を動作させると共に、この内部電圧11でもってメモリセル7にHIGHを書き込む。このようにするのは、16MDRAMの出現以降、半導体装置の内部素子のサイズが小さくなるに経れて、外部電源電圧が高すぎて内部素子耐圧の信頼性が確保できなかったり、消費電力の低減化が図れなくなる場合があるからであり、またスピードの観点から、

— 16 —

ソース電位が内部電圧11であって、そのゲート、ソース間電圧はそのスレッショールド電圧より低い電位の一定電圧であるので、外部電源電圧Vcc15に依存しない常にほぼ一定値のドレイン電流Idp17が流れている。

いま、基板電位14が接地電位Vss16より低い設定電位未満に引き下げられたとすると、トランジスタQn17はon状態になると共に、このon状態により接点131の電位（つまりMOSトランジスタQn16のソース電位）がこのMOSトランジスタQn16のスレッショールド電圧より高い電圧以上引き下げられるので、このトランジスタQn16もon状態になる。その結果、3個のトランジスタのon状態によりMOSトランジスタQp17及びQn16のドレイン電位、つまり基板電位検出信号13は、基板電位発生器8の動作を停止させるのに十分な低い値の電位となる。ここに、MOSトランジスタQp17、Qn16、Qn17の各々のドレイン電流は、外部電源電圧Vcc15に依存せずほぼ一定値であ

— 18 —

るので、基板電位検出信号13は外部電源電圧 $V_{cc15}$ の変動に対して依存性の小さい信号となる。

これに対し、基板電位14が上記の設定電位以上高い電位に浮き上がったときには、MOSトランジスタ $Q_{n17}$ によって接点131の電位を引き下げる程度が小さくなるために、MOSトランジスタ $Q_{n16}$ のゲート、ソース間電圧はそのスレッシュホールド電圧よりも低い電圧又は僅かに高い電圧に留まるので、該MOSトランジスタ $Q_{n16}$ はoff状態又は微小な電流しか流せない。このため、MOSトランジスタ $Q_{p17}$ 及び $Q_{n16}$ のドレイン電位である基板電位検出信号13は、ほぼ一定値(MOSトランジスタ $Q_{p17}$ の外部電源電圧 $V_{cc15}$ に依存しない)ドレイン電流 $I_{dp47}$ によって基板電位発生器1を動作させるのに十分な高い一定電位となる。

以上の説明から、基板電位検出器9は、内部降圧器2の供給器4から発生させた外部電源電圧 $V_{cc15}$ に対する依存性の小さい内部電圧11と

— 19 —

25は電源電位 $V_{cc}$ 、26は接地電位 $V_{ss}$ 、27は内部電圧a、21は内部電圧b、22は基準電圧、23は基板電位検出信号、24は基板電位である。また、211、212、221、222、241は各々接点である。

第2図の内部降圧器2は、基準電圧発生器3と供給器4とから成る。まず、基準電圧発生器3の動作については前記の第1実施例で説明した通りである。つまり、基準電圧発生器3は、トランジスタ $Q_{p21}$ と $Q_{n21}$ 、及びトランジスタ $Q_{p22}$ と $Q_{n22}$ とが各々直列に接続されており、外部電源電圧 $V_{cc25}$ に対し互いに並列の関係にある。更にトランジスタ $Q_{p22}$ のソース、ドレイン間にはトランジスタ $Q_{p23}$ のダイオードが接続された構成になっている。

従って、基準電圧発生器3は前記第1の実施例の基準電圧発生器3と同様な構成のフィードバック回路になっているので、接点211は外部電源電圧 $V_{cc25}$ より所定電位だけ低い電圧を出力し、接点212は接地電位 $V_{ss26}$ よりも所

— 21 —

実際の基板電位14とに基づいて、外部電源電圧 $V_{cc15}$ の変動に拘らず、実際の基板電位14が設定電位未満のときには必ず低電位の基板電位検出信号を出力し、実際の基板電位14が設定電位以上のときには必ず高電位の基板電位検出信号を出力することにより、前記基板電位発生器8により発生する基板電位14が設定電位か否かを検出する。そして、この構成により、外部電源電圧 $V_{cc15}$ に対する少ない依存性でもって基板電位発生器8の動作を制御することができる。

よって、基板電位発生器8の動作の外部電源電圧 $V_{cc15}$ に対する依存性を小さいものにできるので、この基板電位発生器8により発生する基板電位14を外部電源電圧 $V_{cc15}$ の変動に拘らず設定電位に保つことができる。

#### (実施例2)

次に、本発明の第2の実施例を説明する。第2図に示す半導体装置のブロック回路図において、 $Q_{p20} \sim Q_{p29}$ はP形のMOSトランジスタ、 $Q_{n20} \sim Q_{n29}$ はN形のMOSトランジスタ、

— 20 —

定電位だけ高い基準電圧22を出力する。

本実施例の半導体装置では、基準電圧として接点212の電位、つまり接地電位 $V_{ss26}$ よりも所定電位だけ高く且つ外部電源電位 $V_{cc25}$ の依存性の少ない電位22を用いる。

供給器4の動作についても第1実施例で述べた通りである。つまり供給器4は、2個のp型のMOSトランジスタ $Q_{p24}$ 、 $Q_{p25}$ と、3個のn型のMOSトランジスタ $Q_{n23} \sim Q_{n25}$ とにより構成される差動増幅器5と、1個のp型MOSトランジスタ $Q_{p26}$ より構成される出力回路部6とから成る。

前記差動増幅器5の2個のMOSトランジスタ $Q_{p24}$ 、 $Q_{p25}$ は、互いにソース、ドレインをそれぞれ共通の電位とした構成になっているので、この両トランジスタ $Q_{p24}$ 、 $Q_{p25}$ のドレイン電流 $I_{dp24}$ 、 $I_{dp25}$ は互いに等しくカレントミラーになっている。また、MOSトランジスタ $Q_{n23}$ のゲート電位は、前記した外部電源電圧 $V_{cc25}$ の依存性の少ない基準電

— 22 —

位22になっている一方、MOSトランジスタ $Q_{n24}$ のゲート電位は内部電圧27になっている。そして、基準電圧22と内部電圧27との比較により、MOSトランジスタ $Q_{p26}$ のゲート電位である接点221の電位を変化させる構成として、出力回路部6'からの出力電流を制御する回路方式になっている。

従って、供給器4'は前記第1の実施例の供給器4と同様な構成のフィードバック回路になっているので、第1の実施例で説明した通り、MOSトランジスタ $Q_{n24}$ のゲート電位（内部電圧27）がMOSトランジスタ $Q_{n23}$ のゲート電位（基準電位22）よりも低い場合には、MOSトランジスタ $Q_{p26}$ のドレイン電流 $I_{dn26}$ が増加し、一方、逆に内部電圧27が基準電圧22よりも高い場合には、MOSトランジスタ $Q_{p26}$ のドレイン電流 $I_{dn26}$ が減少する。特に、内部電圧27が予め設定した設定電圧に達したときには、接点221の電位（MOSトランジスタ $Q_{p24}$ 及び $Q_{n23}$ のドレイン電位）がMOS

— 23 —

トランジスタ $Q_{n28}$ のゲート電位は、前記した外部電源電圧 $V_{cc25}$ の依存性の少ない基準電圧22になっている一方、MOSトランジスタ $Q_{n29}$ のゲート電位は内部電圧21（基板電位検出器9'への出力電圧）になっている。そして、基準電圧22と内部電圧21との比較により、MOSトランジスタ $Q_{p20}$ のゲート電位である接点241の電位を変化させる構成として、出力回路部6''からの出力電流を制御する回路方式になっている。

従って、供給器4''は前記の供給器4'と同様な構成のフィードバック回路になっているので、MOSトランジスタ $Q_{n29}$ のゲート電位（内部電圧21）がMOSトランジスタ $Q_{n28}$ のゲート電位（基準電圧22）よりも低い場合には、MOSトランジスタ $Q_{p20}$ のドレイン電流 $I_{dp20}$ が増加する一方、内部電圧21が基準電圧22よりも高い場合には、MOSトランジスタ $Q_{p20}$ のドレイン電流 $I_{dp20}$ が減少する。特に、内部電圧21が予め設定した設定電圧に達したと

— 25 —

トランジスタ $Q_{p26}$ をoff動作させるまで上昇し、その設定電圧を越える上昇を阻止するので、内部電圧27を設定電圧に保つことができる。

ここに、供給器4'は、外部電源電圧 $V_{cc25}$ の依存性の小さい基準電圧22に基いて内部電圧27を発生しているのので、この内部電圧27を外部電源電圧 $V_{cc25}$ に対して依存性の小さい所定の設定電圧に保つことができる。

更に、第2図に示す他の供給器4''は、前記の供給器4'と同様に、2個のp型のMOSトランジスタ $Q_{p28}$ 、 $Q_{p29}$ と、3個のn型のMOSトランジスタ $Q_{n20}$ 、 $Q_{n28}$ 、 $Q_{n29}$ とにより構成される差動増幅器5''と、1個のp型MOSトランジスタ $Q_{p20}$ より構成される出力回路部6''とから成る。

前記差動増幅器5''の2個のMOSトランジスタ $Q_{p28}$ 、 $Q_{p29}$ は互いにソース、ドレインをそれぞれ共通の電位とした構成になっているので、その両ドレイン電流 $I_{dp28}$ 、 $I_{dp29}$ は等しくカレントミラーになっている。また、M

— 24 —

ときには、接点241の電位がMOSトランジスタ $Q_{p20}$ をoff動作させるまで上昇し、その設定電圧を越える上昇を阻止するので、内部電圧21（基板電位検出器9'への出力電位）を設定電圧に保つことができる。

よって、外部電源電圧 $V_{cc25}$ の依存性の小さい基準電圧22に基いて内部電圧21を発生させるので、この内部電圧21（基板電位検出器9'への出力電圧）を外部電源電圧 $V_{cc25}$ の依存性の小さい電圧にできる。

そして、前記した最初の供給器4'により発生させた内部電圧27によって内部素子を動作させると共にメモリセル7にHIGHを書き込む。

加えて、第2図の基板電位検出器9'の構成についても、前記の第1実施例の基板電位検出器9と同様である。つまり、該基板電位検出器9'は、p型MOSトランジスタ $Q_{p27}$ と、n型MOSトランジスタ $Q_{n26}$ と、ゲート、ドレイン間を短絡したn型MOSトランジスタ $Q_{n27}$ との3個を直列に接続して成り、トランジスタ $Q_{p27}$ 、

— 26 —

Qn26の両ゲートは接地電位Vss26に接続されていると共に、トランジスタQp27のソース電位は前記供給器4'から発生させた内部電圧21とされ、トランジスタQn27のソース電位は基板電位24とされている。

従って、本基板電位検出器9'は前記第1の実施例と同様の回路構成であるので、前述の通り、基板電位24が接地電位Vss26より低い設定電位未満に引き下げられたときには、3個のトランジスタは全てon状態にあって、その各々のドレイン電流が外部電源電圧Vcc25に依存せずほぼ一定値であるので、出力端子の基板電位検出信号23(つまり、MOSトランジスタQp27及びQn26のドレイン電位)は、外部電源電圧Vcc25に対する依存性の小さい信号となる。一方、基板電位24が設定電位以上に高い電位に浮き上がったときには、基板電位検出信号23は、外部電源電圧Vcc25に依存しないほぼ一定値の高い電位となる。よって、基板電位検出器9'は、外部電源電圧Vcc25の変動に無関係な電

— 27 —

び第2の各実施例の内部降圧器2, 2'において供給器4, 4'を設けず、基準電圧発生器自体を内部電圧発生器として、発生させる基準電圧をそのまま外部電源電圧の依存性の小さい内部電圧として使用したものである。

つまり、同図に示す半導体装置のブロック回路において、Qp31~Qp35, Qp37はP形のMOSトランジスタ、Qn31, Qn36及びQn37はN形のMOSトランジスタ、35は外部電源電位Vcc、36は接地電位Vss、31は内部電圧、33は基板電位検出信号、34は基板電位、311は接点である。

同図の内部電圧発生器3'は、ゲート、ドレイン間を短絡した第1及び第2のMOSトランジスタQp35, Qp31と、第3のMOSトランジスタQn31とが直列に接続されて第1の直列体を構成しているとともに、第4のMOSトランジスタQp32と、ゲート、ドレイン間を短絡した第5のMOSトランジスタQp34とが直列に接続されて第2の直列体を構成している。この第1

— 29 —

圧の基板電位検出信号23を出力する。

以上の説明から、供給器4'から発生させるHIGH書き込み用の内部電圧27とは別に、他の供給器4'により外部電源電圧Vcc25の依存性の小さい内部電圧21を発生させ、この内部電圧21に基づいて基板電位検出器9'から外部電源電圧Vcc25の変動にほとんど影響を受けない基板電位検出信号を出力して基板電位発生器8を制御するので、基板電位24を外部電源電圧Vcc25の変動とはほとんど無関係に設定電圧に保持することができる。しかも、読み出し及び書き込み時において、内部素子を動作させる時に供給器4'の内部電圧27にたとえ変動があっても、基板電位検出器9'に出力する内部電圧21には変動がないので、基板電位検出信号の変動もなく、基板電位を設定電位に確実に保持することができる。

(実施例3)

続いて、請求項(4)に記載の発明の実施例を第3図に基いて説明する。本実施例は、前記の第1及

— 28 —

及び第2の直列体は、互いに外部電源電圧Vcc35と接地電位Vss36との間に各々並列に接続されている。

さらに、前記第2のMOSトランジスタQp31のゲートは第4のMOSトランジスタQp32のゲートに短絡して接続されていると共に、第3のMOSトランジスタQn31のゲートは第4のMOSトランジスタQp32のドレインに短絡して接続されている。加えて、前記第4のMOSトランジスタQp32のソース、ドレイン間には、ゲート、ドレイン間を短絡した第6のMOSトランジスタQp33が接続されている。この第6のMOSトランジスタQp33の接続位置は、第4のMOSトランジスタQp32のソース、ドレイン間に代えて、第3のMOSトランジスタQn31のソース、ドレイン間としてもよい。

前記6個のトランジスタは全て飽和領域で動作させる。

前記の基準電圧発生器3'では、内部電圧31の電位圧外部電源電位Vcc35に対して依存性

— 30 —



が小さくなるように、第1及び第2実施例の基準電圧発生器3、3'と同様に構成されている。以下、この構成を具体的に説明する。内部電圧31をほぼ一定とすると、トランジスタQn31はそのゲート電位が前記の内部電圧31で一定電位であるので飽和領域で動作し、且つそのソース電位が接地電位Vss36であってゲート、ソース間電圧がほぼ一定であるためにそのドレイン電流Idn31はほぼ一定である。また、トランジスタQp31とQn31との両ドレイン電流Idp31、Idn31が相等しいときのトランジスタQp31のドレイン電位及びゲート電位が定常状態における接点311の電位である。従って、定常状態におけるトランジスタQp31のドレイン電流Idp31はほぼ一定である。一方、このトランジスタQp31のドレイン電流Idp31は、その飽和領域での動作によりそのゲート、ソース間電圧でほぼ決定されるので、このドレイン電流Idp31が前記のようにほぼ一定であると、そのゲート、ソース間電圧もほぼ一定である。以上の

- 31 -

スタQp34のゲート、ソース間電圧である内部電圧31と接地電位Vss36との間の電位差はほぼ一定である。

以上のように基準電圧発生器3''は、前記のような構成のフィードバック回路になっているので、接点311の電位は外部電源電圧Vcc35よりも所定電位だけ低い一定電圧になると共に、内部電位31は接地電位Vss36よりも所定電位だけ高い一定電圧になることが判る。

従って、本実施例の半導体装置で使用する内部電圧31は、前述のように接地電位Vss36よりも一定電位だけ高い電圧で且つ外部電源電位Vcc35の依存性の少ない電圧となる。

また、第3図の基板電位検出器9''の構成は、前記の第1実施例の基板電位検出器9と同様である。つまり、該基板電位検出器9''は、p型MOSトランジスタQp37と、n型MOSトランジスタQn36と、ゲート、ドレイン間を短絡したn型MOSトランジスタQn37との3個を直列に接続して成り、トランジスタQp37、Qn3

- 33 -

ことから、トランジスタQp31のゲート、ソース間電圧である接点311の電位と外部電源電圧Vcc35との間の電位差はほぼ一定である。

また、トランジスタQp32のゲート、ソース間電圧である接点311の電位と外部電源電圧Vcc35との間の電位差は、前記のようにほぼ一定であるので、このトランジスタQp32のドレイン電流Idp32は、その飽和領域での動作によりほぼ一定である。更に、トランジスタQp32とQp34の両ドレイン電流Idp32、Idp34が互いに等しいときのトランジスタQp34のソース電位が定常状態における内部電圧31である。従って、定常状態におけるトランジスタQp34のドレイン電流Idp34はほぼ一定である。一方、このトランジスタQp34のドレイン電流Idp34は、その飽和領域での動作によりそのゲート、ソース間電圧でほぼ決定されるので、このドレイン電流Idp34が前記のようにほぼ一定であると、そのゲート、ソース間電圧もほぼ一定である。以上のことから、このトランジ

- 32 -

6の両ゲートは接地電位Vss36に接続されていると共に、トランジスタQp37のソース電位は前記基準電圧発生器3''により発生させた内部電圧31とされ、トランジスタQn37のソース電位は基板電位34とされている。

従って、本実施例の基板電位検出器9''は前記第1の実施例と同様の回路構成であるので、既に説明した通り、基板電位34が接地電位Vss36より低い設定電位未満に引き下げられたときには、3個のトランジスタは全てon状態にあって、その各々のドレイン電流が外部電源電圧Vcc35に依存せずほぼ一定値であるので、基板電位検出信号33（つまり、MOSトランジスタQp37及びQn36のドレイン電位）は、外部電源電圧Vcc35に対して依存性の小さい信号となる。一方、基板電位34が設定電位以上に高い電位に浮き上がったときには、基板電位検出信号33は、外部電源電圧Vcc35に依存しないほぼ一定値の高い電位となる。よって、基板電位検出器9''は、外部電源電圧Vcc35の変動に無関係な基

- 34 -

基板電位検出信号33を出力するので、以上の説明から、基板電位検出器9''は、外部電源電圧Vcc35に対して依存性の小さい内部電圧31と実際の基板電位34とに基づいて、外部電源電圧Vcc35が変動したとしても、実際の基板電位34が設定電位未満のときには必ず低電位の基板電位検出信号を出力し、逆に実際の基板電位34が設定電位以上のときには必ず高電位の基板電位検出信号を出力する。従って、外部電源電圧Vcc35の変動に対して少ない依存性でもって基板電位発生器8の動作を制御することができる。

よって、基板電位発生器8の動作を外部電源電圧Vcc35の依存性の小さいものにできるので、この基板電位発生器8により発生させる基板電位34を外部電源電圧Vcc35の変動に拘らず設定電位に保つことができる。しかも、第1及び第2実施例の供給器4、4''による消費電流が生じないので、消費電力を増加させずに済む利点がある。

以上、各実施例に基づいて本発明を説明したが、

— 35 —

2, 2'…内部降圧器、3, 3', 3''…基準電圧発生器、4, 4', 4''…供給器、5, 5', 5''…差動増幅器、6, 6', 6''…出力回路部、8…基板電位発生器、9, 9', 9''…基板電位検出器、11, 21, 31…内部電位、14, 24, 34…基板電位、16, 26, 36…接地電位。

特許出願人 松下電器産業 株式会社  
代理人 弁理士 前田 弘

本発明は前記の各実施例に限定されず、他に種々の変更が可能であることは明かである。

#### (発明の効果)

以上説明したように、本発明の半導体装置によれば、外部電源電圧の依存性の小さい内部電圧を発生させ、この内部電圧に基づいて基板電位が設定電位か否かを検出するようにしたことにより、外部電源電圧が変動しても、その電圧変動の影響をあまり受けないで基板電位発生器の動作を制御できるので、基板電位を外部電源電圧の変動に拘らず設定電位に保持できる効果を奏する。

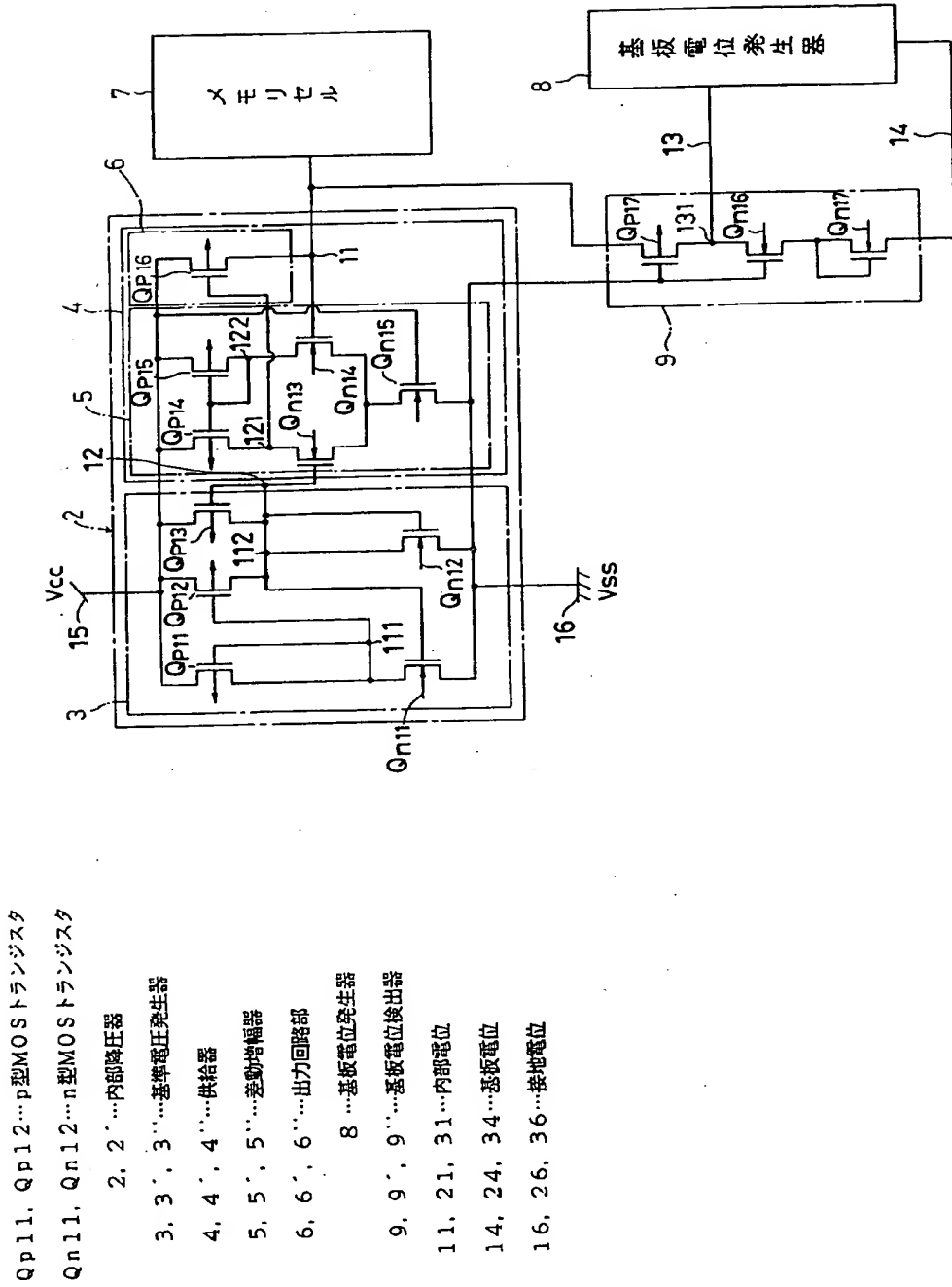
#### 4. 図面の簡単な説明

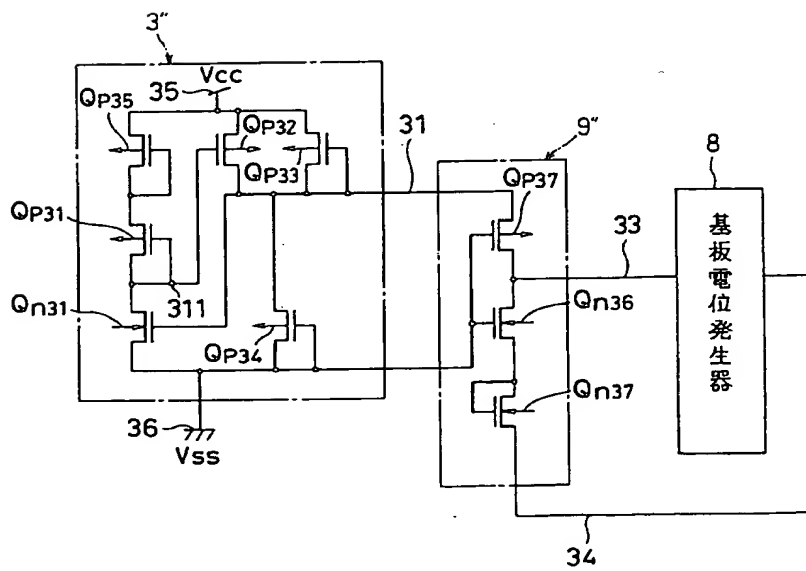
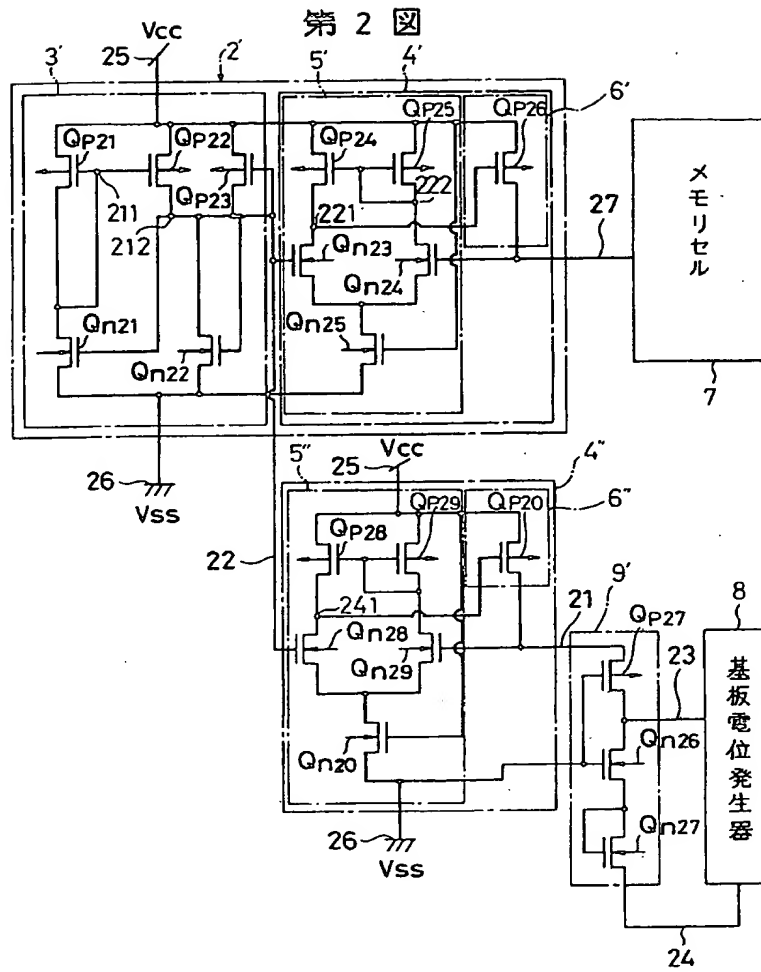
第1図は本発明の第1の実施例を示す半導体装置の回路ブロック図、第2図は第2の実施例を示す半導体装置の回路ブロック図、第3図は第3の実施例を示す半導体装置の回路ブロック図、第4図は従来の基板電位検出器を示す電気回路図である。

Qp11, Qp12…p型MOSトランジスタ、  
Qn11, Qn12…n型MOSトランジスタ、

— 36 —

第1図





第 4 図

